

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-218464  
 (43)Date of publication of application : 27.08.1993

(51)Int.Cl.

H01L 31/04  
 H01L 21/20

(21)Application number : 04-016506

(71)Applicant : CANON INC

(22)Date of filing : 31.01.1992

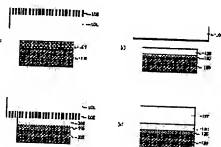
(72)Inventor : NISHIDA AKIYUKI  
 SAKAGUCHI KIYOBUMI  
 YONEHARA TAKAO

## (54) SEMICONDUCTOR SUBSTRATE AND SOLAR CELL AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To obtain a semiconductor substrate composed of a metal substrate and an epitaxial layer of high quality formed on it and a thin film crystal solar cell formed thereof.

CONSTITUTION: A porous Si layer 102 is formed on an Si wafer 101 by anodization, and a non-single crystal Si layer 104 previously laid on a metal substrate 103 is brought into contact with the porous Si layer 102, which is thermally treated not only to turn the non-single crystal Si layer 104 into a single crystal silicon layer 106 through solid-phase growth making the porous Si layer 102 serve as seed crystal but also to form a silicide layer at an interface between the metal substrate 103 and the single crystal silicon layer 106. The porous Si layer 102 is removed through a selective etching method to separate the single crystal silicon layer 106 from the Si wafer 101, whereby a semiconductor substrate of two-layered structure composed of metal a metal layer and a single crystal Si layer. Furthermore, an epitaxial Si layer 107 is grown on the single crystal Si layer 106, and thus a solar cell can be obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

特開平5-218464

(43) 公開日 平成5年(1993)8月27日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	31/04			
	21/20	9171-4M		
		7376-4M	H 0 1 L 31/04	A
		7376-4M		X

審査請求 未請求 請求項の数20(全 11 頁)

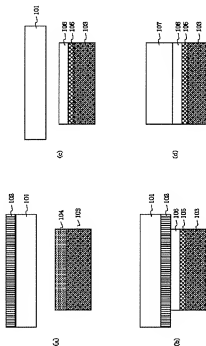
(21) 出願番号	特願平4-16506	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成4年(1992)1月31日	(72) 発明者	西田 彰志 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	坂口 清文 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	米原 隆夫 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(74) 代理人	介理士 丸島 儀一

(54) 【発明の名称】 半導体基体と太陽電池の製造方法及びこれらの方法により得られた半導体基体と太陽電池

## (57) 【要約】

【目的】 金属基板上に良質なエピタキシャルS1層を形成した半導体基体とそれを用いた薄膜結晶太陽電池とを得る方法を提供する。

【構成】 S1ウエハ101上に陽極化成により多孔質S1層102を形成し、金属基板103上に堆積しておいた非単結晶S1層104の表面と前記多孔質S1102の表面とを接触させ、熱処理を行なって固相成長により多孔質S1層を種結晶として非単結晶S1層を単結晶シリコン層106にするとともに金属基板103/単結晶シリコン層界面にシリサイド層を形成する。選択的エッチング法により多孔質S1を除去して前記S1ウエハと単結晶シリコン層106を分離し、金属/単結晶S12層構造の半導体基体を得る。単結晶S1106上にさらにエピタキシャルS1層107を成長させて太陽電池を形成する。



1

## 【特許請求の範囲】

【請求項1】 金属/半導体2層構造の半導体基体の製造方法において、

- i) 金属基体上に非単結晶シリコン層を堆積する工程と、
- ii) 単結晶シリコン基体の表面を多孔質化する工程と、
- iii) 前記金属基体上の非単結晶シリコン層の表面と前記単結晶シリコン基体上の多孔質層の表面とを接触させる工程と、
- iv) 熱処理により前記多孔質層に面した前記非単結晶シリコン層を固相エピタキシャル成長させて単結晶化すると同時に前記金属基体と前記非単結晶シリコンとの界面にシリサイド層を形成する工程と、
- v) 選択的エッチングにより前記多孔質層を除去して前記単結晶シリコン基体と前記金属基体上の単結晶化シリコン層とを分離する工程と、

【請求項2】 前記非単結晶シリコン層が非晶質シリコン層である請求項1に記載の半導体基体の製造方法。

【請求項3】 前記多孔質層が陽極化成により形成される請求項1に記載の半導体基体の製造方法。

【請求項4】 前記選択的エッチングがフッ酸とアルコールおよび過酸化水素水との混合液を用いて行なわれる請求項1に記載の半導体基体の製造方法。

【請求項5】 前記非単結晶シリコン層の堆積中あるいは堆積後に前記非単結晶シリコン層中に不純物を導入する請求項1に記載の半導体基体の製造方法。

【請求項6】 固相エピタキシャル膜を用いた太陽電池の製造方法において、

- i) 金属基体上に非単結晶シリコン層を堆積する工程と、
- ii) 単結晶シリコン基体の表面を多孔質化する工程と、
- iii) 前記金属基体上の非単結晶シリコン層の表面と前記単結晶シリコン基体上の多孔質層の表面とを接触させる工程と、
- iv) 熱処理により前記多孔質層に面した前記非単結晶シリコン層を固相エピタキシャル成長させて単結晶化すると同時に前記金属基体と前記非単結晶シリコンとの界面にシリサイド層を形成する工程と、
- v) 選択的エッチングにより前記多孔質層を除去して前記単結晶シリコン基体と前記金属基体上の単結晶化シリコン層とを分離する工程と、
- vi) 薄膜エピタキシャル成長法により前記単結晶化シリコン層上にシリコンエピタキシャル層を成長させる工程と、
- vii) 前記エピタキシャル層表面に半導体接合を形成する工程と、

を含むことを特徴とする太陽電池の製造方法。

【請求項7】 前記非単結晶シリコン層が非晶質シリコン層である請求項6に記載の太陽電池の製造方法。

【請求項8】 前記多孔質層が陽極化成により形成される請求項6に記載の太陽電池の製造方法。

2

【請求項9】 前記選択的エッチングがフッ酸とアルコールおよび過酸化水素水との混合液を用いて行なわれる請求項6に記載の太陽電池の製造方法。

【請求項10】 前記非単結晶シリコン層の堆積中あるいは堆積後に前記非単結晶シリコン層中に不純物を導入する請求項6に記載の太陽電池の製造方法。

【請求項11】 i) 金属基体上に非単結晶シリコン層を堆積する工程と、

- ii) 単結晶シリコン基体の表面を多孔質化する工程と、
- iii) 前記金属基体上の非単結晶シリコン層の表面と前記単結晶シリコン基体上の多孔質層の表面とを接触させる工程と、
- iv) 熱処理により前記多孔質層に面した前記非単結晶シリコン層を固相エピタキシャル成長させて単結晶化すると同時に前記金属基体と前記非単結晶シリコンとの界面にシリサイド層を形成する工程と、
- v) 選択的エッチングにより前記多孔質層を除去して前記単結晶シリコン基体と前記金属基体上の単結晶化シリコン層とを分離する工程と、

を経て得られたことを特徴とする金属/半導体2層構造をとる半導体基体。

【請求項12】 前記非単結晶シリコン層が非晶質シリコン層である請求項11に記載の半導体基体。

【請求項13】 前記多孔質層が陽極化成により形成される請求項11に記載の半導体基体。

【請求項14】 前記選択的エッチングがフッ酸とアルコールおよび過酸化水素水との混合液を用いて行なわれる請求項11に記載の半導体基体。

【請求項15】 前記非単結晶シリコン層の堆積中あるいは堆積後に前記非単結晶シリコン層中に不純物を導入する請求項11に記載の半導体基体。

【請求項16】 i) 金属基体上に非単結晶シリコン層を堆積する工程と、

- ii) 単結晶シリコン基体の表面を多孔質化する工程と、
- iii) 前記金属基体上の非単結晶シリコン層の表面と前記単結晶シリコン基体上の多孔質層の表面とを接触させる工程と、
- iv) 熱処理により前記多孔質層に面した前記非単結晶シリコン層を固相エピタキシャル成長させて単結晶化すると同時に前記金属基体と前記非単結晶シリコンとの界面にシリサイド層を形成する工程と、
- v) 選択的エッチングにより前記多孔質層を除去して前記単結晶シリコン基体と前記金属基体上の単結晶化シリコン層とを分離する工程と、
- vi) 薄膜エピタキシャル成長法により前記単結晶化シリコン層上にシリコンエピタキシャル層を成長させる工程と、
- vii) 前記エピタキシャル層表面に半導体接合を形成する工程と、

を経て得られたことを特徴とする太陽電池。

【請求項17】 前記非単結晶シリコン層が非晶質シリコン層である請求項16に記載の太陽電池。

【請求項18】 前記多孔質層が陽極化成長により形成される請求項16に記載の太陽電池。

【請求項19】 前記選択的エッチングがフッ酸とアルコールおよび過酸化水素水の混合液を用いて行なわれる請求項16に記載の太陽電池。

【請求項20】 前記非単結晶シリコン層の堆積中あるいは堆積後に前記非単結晶シリコン層中に不純物を導入する請求項16に記載の太陽電池。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体基体および太陽電池の製造方法に関し、特に金属上に半導体を積層した基体および太陽電池の製造方法に関する。

【0002】

【従来の技術】 光電変換素子、中でも太陽電池はコスト的要請から金属とりわけSUSのような低価格基板上に素子を形成できることが望まれる。従って金属上に良質な半導体層をいかに作るかが重要となる。

【0003】 太陽電池を構成する半導体としては一般にシリコンが用いられ、シリコンの形態としては単結晶、多結晶およびアモルファスがある。大面積化および低コスト化の点からはアモルファスシリコンが有利とされているが、光エネルギーを起電力に変換する効率や安定性の点からは、単結晶シリコンを用いるのが好ましい。また近年においては、アモルファスシリコンなみの低コストと単結晶シリコンなみの高エネルギー変換効率とを得る目的で多結晶シリコンの使用が検討されている。ところが、このような単結晶や多結晶シリコンにおいて従来提案されている方法は塊状の結晶をスライスして板状体としこれを用いるために厚さを0.3mm以下にすることは困難であり、従って光量を十分に吸収するのに必要以上の厚さとなり、この点で材料の有効利用が十分ではなかった。即ちコストを下げるためには十分な薄型化が必要である。最近では溶融したシリコンの液滴を鋳型に流し込むスピン法によりシリコンシートを形成する方法が提案されているが、厚さは最低でも0.1mm~0.2mm程度となり結晶シリコンとして光吸収に必要な十分な膜厚(20~50μm)に比しまだ薄型化が十分ではない。さらにこのような薄型化ではもはやシリコンシート自体が基板としての強度を有することが困難になり、必然的にシリコンシートを支持する別の基板が要求される。

【0004】

【発明が解決しようとする課題】 そこで、いっそのこと単結晶シリコン基板上に成長した薄膜のエピタキシャル層を基板から分離(剝離)して別の基板に貼付けたものを太陽電池に用いることで高エネルギー変換効率と低コスト化を達成する試みが提案されている(Milnes, A.G. and Feucht, D.L., "Peeled Film Technology Solar Cell

s", IEEE Photovoltaic Specialist Conference, p.338, 1975)。

【0005】 しかしながら上述の方法では基板となる単結晶シリコンと成長エピタキシャル層との間にSiGeの中間層を挿入させてヘテロエピタキシャル成長させた上に、さらにこの中間層を選択的に溶融させて成長層を剥す必要がある。一般的にヘテロエピタキシャル成長させた場合格子定数が異なるため成長界面で欠陥が誘起されやすい。また異種材料を用いるという点でプロセス・コスト的に有利であると言えない。

【0006】 またSiO<sub>2</sub>上に蒸着した非晶質シリコン膜の上に単結晶シリコンウエハを接触させて熱処理を行い、固相成長により結晶薄膜を得る方法(平成3年春季第38回応用物理学関係連合講演会 28p-X-10)が報告されているが、シリコンウエハと固相成長層が強固に接著してしまうので成長後に分離する事が困難で、十分な熱処理が行えず、完全な単結晶を得るにまで至っていない。

【0007】 本発明の方法は上記従来技術の持つ欠点を除去し、金属基体上に良質な薄膜単結晶を得、さらにこれを用いて良好な太陽電池の製造方法を提供するものである。

【0008】 本発明の目的は金属基板上に形成した非単結晶層を固相成長で単結晶化することにより安価な金属/結晶半導体2層基体を提供することにある。

【0009】 また本発明の他の目的は単結晶半導体を用いることで高品質な太陽電池を提供することにある。

【0010】

【課題を解決するための手段及び作用】 本発明は、上述の従来技術における問題を解決し、上記の目的を達成すべく本発明者らによる鋭意研究の結果完成に至ったものであり、特性の良好な薄型単結晶太陽電池の製造方法及び該方法により得られた太陽電池に係わる。すなわち、本発明の半導体基体の製造方法は、金属/半導体2層構造の半導体基体の製造方法において、i)金属基体上に非単結晶シリコン層を堆積する工程と、ii)単結晶シリコン基体の表面を多孔質化する工程と、iii)前記金属基体上の非単結晶シリコン層の表面と前記単結晶シリコン基体上の多孔質層の表面とを接触させる工程と、iv)熱処理により前記多孔質層に面した前記非単結晶シリコン層を固相エピタキシャル成長させて単結晶化すると同時に前記金属基体と前記非単結晶シリコンとの界面にシリサイド層を形成する工程と、v)選択的エッチングにより前記多孔質層を除去して前記単結晶シリコン基体と前記金属基体上の単結晶化シリコン層とを分離する工程とを含むことを特徴とするものである。

【0011】 また本発明の太陽電池の製造方法は、固相エピタキシャル膜を用いた太陽電池の製造方法において、i)金属基体上に非単結晶シリコン層を堆積する工程と、ii)単結晶シリコン基体の表面を多孔質化する工程

5

と、iii)前記金属基体上の非単結晶シリコン層の表面と前記単結晶シリコン基体上の多孔質層の表面とを接触させる工程と、iv)熱処理により前記多孔質層に面した前記非単結晶シリコン層を固相エピタキシャル成長させて単結晶化すると同時に前記金属基体と前記非単結晶シリコンとの界面にシリサイド層を形成する工程と、v)選択的エッチングにより前記多孔質層を除去して前記単結晶シリコン基体と前記金属基体上の単結晶化シリコン層とを分離する工程と、vi)薄膜エピタキシャル成長法により前記単結晶化シリコン層上にシリコンエピタキシャル層を成長させる工程とを含むことを特徴とするものである。

【0012】本発明の半導体基体は、i)金属基体上に非単結晶シリコン層を堆積する工程と、ii)単結晶シリコン基体の表面を多孔質化する工程と、iii)前記金属基体上の非単結晶シリコン層の表面と前記単結晶シリコン基体上の多孔質層の表面とを接触させる工程と、iv)熱処理により前記多孔質層に面した前記非単結晶シリコン層を固相エピタキシャル成長させて単結晶化すると同時に前記金属基体と前記非単結晶シリコンとの界面にシリサイド層を形成する工程と、v)選択的エッチングにより前記多孔質層を除去して前記単結晶シリコン基体と前記金属基体上の単結晶化シリコン層とを分離する工程と、を経て得られたことを特徴とするものである。

【0013】更に本発明の太陽電池は、i)金属基体上に非単結晶シリコン層を堆積する工程と、ii)単結晶シリコン基体の表面を多孔質化する工程と、iii)前記金属基体上の非単結晶シリコン層の表面と前記単結晶シリコン基体上の多孔質層の表面とを接触させる工程と、iv)熱処理により前記多孔質層に面した前記非単結晶シリコン層を固相エピタキシャル成長させて単結晶化すると同時に前記金属基体と前記非単結晶シリコンとの界面にシリサイド層を形成する工程と、v)選択的エッチングにより前記多孔質層を除去して前記単結晶シリコン基体と前記金属基体上の単結晶化シリコン層とを分離する工程と、vi)薄膜エピタキシャル成長法により前記単結晶化シリコン層上にシリコンエピタキシャル層を成長させる工程と、vii)前記エピタキシャル層表面に半導体接合を形成する工程と、を経て得られたことを特徴とするものである。

【0014】本発明の特徴点は図1に示されるようにシリコンウエハの表面を阻液溶液中で陽極化成により多孔質化し(図1(a))、あらかじめ金属基板上に堆積した非晶質シリコンの表面と形成した多孔質表面を合わせて熱処理して、多孔質側を粗結晶として非晶質シリコンを単結晶化させると同時に金属基板/非晶質シリコン界面にシリサイド層を形成して良好なオーミックコンタクトを

6

得(図1(b))、多孔質層を選択的エッチングにより除去することでシリコンウエハと固相成長層を分離し(図1(c))、さらに必要に応じて固相成長層の上に通常の結晶成長法によりエピタキシャル層を所望の厚さに積んで金属基板上に単結晶シリコン薄膜を形成することである(図1(d))。

【0015】陽極化成による多孔質シリコンの形成には陽極反応に正孔が必要であり、そのため主に正孔の存在するp型シリコンで多孔質化が行なわれている( T. Unagani, J. Electrochem. Soc., vol. 127, 476(1980) )。しかし、一方で低抵抗n型シリコンであれば多孔質化されるという報告もあり( R.P. Holmstrom and J. Y. Chi, Appl. Phys. Lett., vol. 42, 386(1983) )、p型n型の別を問わず低抵抗シリコンで多孔質化が可能である。単結晶シリコンを陽極化成して得られた多孔質シリコンは、透過電子顕微鏡の観察によると数百程度の径の孔が形成されており、その密度は単結晶シリコンの半以下になる。にもかかわらず多孔質性は維持されており、多孔質シリコンの上にLPCVD法等でエピタキシャル層が成長することは一般によく知られている。さらに多孔質シリコンは上述のようにその内部に大量の空隙が存在し体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は、通常の単結晶シリコンのエッチング速度に比べて著しく増速される。

【0016】また、通常の結晶シリコンと多孔質シリコンの選択的エッチング液としては従来NaOH水溶液のみであり、このNaOH水溶液を用いた多孔質シリコンの選択的エッチングでは、Naイオンがエッチング表面に吸着するため不純物汚染をもたらすという問題がある。

【0017】本発明者らは実験を重ね、多孔質シリコン層の上に、金属基板上に堆積した非単結晶シリコン層特に非晶質シリコン層を接触させて熱処理をすることにより、多孔質層を粗結晶として非単結晶層を固相成長させて単結晶化できること、および結晶シリコンに対してエッチング作用を持たないフッ酸とアルコールおよび過酸化水素水との混合溶液で多孔質シリコン層のみを選択的にエッチングできることを見出した。その結果、金属基板上に良質な薄膜単結晶シリコン層が形成可能であるという知見を得、本発明の完成に至った。以下に本発明者の行なった実験について図1を参照しながら説明する。

【0018】(実験1)多孔質シリコンの形成  
500  $\mu\text{m}$ の厚みを持つ抵抗 $0.01 \Omega \cdot \text{cm}$ のp型(100)単結晶シリコンウエハ101に阻液溶液中で陽極化成を行なった。陽極化成条件を表1に示す。

【0019】

【表1】

印加電圧	2.6 V
電流密度	30 mA / cm <sup>2</sup>
陽極化成溶液	HF : H <sub>2</sub> O : C <sub>2</sub> H <sub>5</sub> OH = 1 : 1 : 1
時 間	1 min
多孔質層の厚み	2.5 μm

【0020】得られた多孔質シリコン層102の表面を透過型電子顕微鏡で観察したところ、平均約600Å径の孔が形成されていた。また高分解能走査型電子顕微鏡で多孔質シリコン層の断面を観たところ、同様に微少な孔が基板に垂直な方向に形成されているのが確認された。また、表1の条件で陽極化成の時間を長くして多孔質シリコン層の厚みを多くし、密度について測定したところ、多孔質シリコン層の密度は1.1g/cm<sup>3</sup>であることがわ

かり、単結晶シリコンに比べて約半分となっていた。

【0021】(実験2) 多孔質シリコンを種結晶とした固相成長0.8mm厚のW(タングステン)基板103上に真空蒸着により非晶質シリコン104を0.1μm堆積し、この非晶質シリコン層の上面に実験1で形成したウエハ上の多孔質シリコン層の表面を接触させた後、一旦非晶質シリコンの結晶化温度より低い温度で熱処理を行い、多孔質シリコン102の面と非晶質シリコン104面とを密着させた。

【0022】次に密着した基板を630℃で再び熱処理し、多孔質シリコン102を種結晶として非晶質シリコン層の固相エピタキシャル層106の成長を行なった。十分時間が経ったところで熱処理を終えた。非晶質シリコン層の構造変化を観察するために、基板の断面を透過型電子顕微鏡で調べたところ、多孔質シリコンに接した非晶質シリコン層は完全に単結晶化しており、良好な結晶性が維持されていることが確認された。

【0023】またW基板103/単結晶化シリコン層106の界面にはWSi<sub>2</sub>層105が形成されているのが組成分析より分かった。

【0024】(実験3) 多孔質シリコンの選択的エッチング

実験1と同じ条件で作製した多孔質シリコンに対するフッ酸とアルコールおよび過酸化水素水の混合溶液によるエッチングについて調べた。

【0025】図2に、多孔質シリコンと単結晶シリコンとを49%フッ酸と100%エチルアルコールと30%過酸化水素水との混合液(10:6:50)に攪拌することなしに浸漬したときのエッチングされた多孔質シリコンと単結晶シリ

コンの厚みの時間依存性を示す。多孔質シリコンと単結晶シリコンのエッチング開始前の厚さはそれぞれ300μm、500μmであった。

【0026】多孔質シリコンと単結晶シリコンとを上記混合液に室温で浸漬して厚みの減少を測定したところ、多孔質シリコンは急速にエッチングされ、40分程で107μm、更に80分経過で244μmもエッチングされた。このような高いエッチング速度にも関わらず、エッチング後の表面は非常に平坦であった。これに対し、単結晶シリコンでは120分経過後もエッチングされた厚さは50Å以下であり、ほとんどエッチングされないことが明らかとなった。

【0027】次に実験2で得られた貼り合わせ基板を上記と同じ混合エッチング液に浸漬して放置したところ、多孔質シリコン層102のみが選択的にエッチングされ、ウエハ101側と金属基板103側とに分離された。水洗/乾燥後に金属基板上(多孔質層に面していた側)の様子を高分解能走査型電子顕微鏡で観察したところ、非常に表面の平坦な単結晶シリコン層が約0.1μmの厚さで形成されていた。また、ウエハの表面(多孔質層に面していた側)と同様に観たところ、やはり非常に平坦であった。

【0028】以上述べた様に多孔質層を種結晶に用いた固相成長法により金属基板上に良質な単結晶シリコン層が形成できることが示された。

【0029】本発明者らは得られた金属/単結晶シリコン2層基板を用いてさらに太陽電池の作製を試みた。

【0030】(実験4) 固相成長層上への結晶成長  
実験3で得られた金属基板上の固相エピタキシャル層106を用いてさらにエピタキシャル層107の成長を行なった。結晶成長法として通常のLPCVD法を用い、表2の条件で成長を行なった。

【0031】成長終了後の結晶成長表面の様子を光学顕微鏡および走査型電子顕微鏡により観察したところ、平坦な表面が得られており、また成長層の断面を透過型電子顕微鏡で観たところ、良好な結晶性を有する単結晶エピタキシャル層となっているのが確認された。

【0032】

【表2】

ガス流量比	基板温度	圧力	成長時間
$\text{SiH}_2\text{Cl}_2 / \text{H}_2$ $= 0.5 / 80$ $1 / \text{min}$	950 °C	80 Torr	160 min

## 【0033】(実験5)太陽電池の形成

実験1乃至4の結果を基にして太陽電池を作製した。実験1と同様に表1の条件でシリコンウエハ101上に多孔質シリコン層102を形成した。次にW基板103上に $\rho=0.01\Omega\cdot\text{cm}$ のp型多結晶シリコンを蒸着源として真空蒸着で0.1 $\mu\text{m}$ 厚の非晶質シリコン104を堆積させた。この非晶質シリコン層104の上面に上述の多孔質シリコン層102を接触させて熱処理により密着させた。密着させた基板を630°Cで熱処理し、固相成長を行ない固相エピタキシャル層を形成した。次いで実験3と同様にフッ酸/エチルアルコール/過酸化水素水の混合液に浸潤して多孔質シリコン102を選択的にエッチングし、ウエハ101側と金属基板103側とを分離した。実験4に示したLPCVD条件で固相成長層106の上にシリコン107をエピタキシャル成長させ、約50 $\mu\text{m}$ の厚みの結晶層を得た。

【0034】次に成長させたエピタキシャル層の表面にPを50keV、 $1\times 10^{15}\text{cm}^{-2}$ でイオン打ち込みを行い、550°C、1hour/800°C、30min/550°C、1hourの条件で連続アニールして不純物の活性化およびイオン打ち込みによるダメージの回復を行い、接合を形成した。最後にエピタキシャル層表面に透明導電膜および集電電極を真空蒸着して太陽電池を作製した。

【0035】このようにして多孔質を種結晶として固相成長を行い、更にこの固相成長層上に成長させて得られたエピタキシャル薄膜太陽電池のAM1.5(100mW/cm<sup>2</sup>)光照射下の電流-電圧特性(I-V特性)について測定を行ったところ、開放電圧0.55V、短絡光電流31mA/cm<sup>2</sup>、曲線因子0.72、変換効率12.3%となり、良好な結晶太陽電池が得られた。

【0036】以上述べた実験結果に基づいて完成に至った本発明は前述した様に、ウエハ上に多孔質層を形成し、多孔質層を種結晶として金属基板上の非単結晶層を固相成長で単結晶層にすることにより得られる金属/半導体2層構造の基体の製造方法および更にその上にエピタキシャル成長させることにより得られる結晶太陽電池の製造方法に係わるものである。本発明の特徴は多孔質層を形成するウエハの再利用が可能であり、コスト的に有利であるという点である。

【0037】本発明に使用される多孔質シリコン層を形成するための陽極化法にはフッ酸溶液が用いられる。

10 陽極化時に流す電流の量としてはpH濃度や所望とされる多孔質層の厚み等によって適宜決められるが、大体数mA/cm<sup>2</sup>~数十mA/cm<sup>2</sup>の範囲が適当である。またpH溶液にエチルアルコール等のアルコールを添加することにより、陽極化時に発生する反応生成気体の気泡を瞬時に攪拌することなく反応表面から除去でき、均一かつ効率よく多孔質シリコンを形成することができる。添加するアルコールの量はpH濃度や所望とする多孔質層の厚さによって適宜決められ、特にpH濃度が低くなりすぎないように注意して決める必要がある。

20 【0038】本発明において使用される多孔質シリコンの選択エッチング液としてはフッ酸とアルコールと過酸化水素水との混合液が用いられる。特に、過酸化水素水を添加することでシリコンの酸化を加速し、従って反応速度を無添加に比べて増進することが可能で、過酸化水素水の比率を変えることにより反応速度を制御することができる。またエチルアルコール等のアルコールを添加することによってエッチングによる反応生成気体の気泡を、攪拌することなく瞬時にエッチング表面から除去でき、均一かつ効率よく多孔質シリコンをエッチングできる。エッチング液の各溶液濃度およびエッチング時の温度の条件は、多孔質シリコンのエッチング速度および多孔質シリコンと通常の単結晶シリコンとのエッチングの選択比が製造工程等で実用上差し支えない範囲、かつ上記アルコールの効果が無ならない範囲において適宜決められる。

【0039】本発明の半導体基体および太陽電池の製造方法において使用される金属基板材料としては導電性が良好でシリコンとシリサイド等の化合物を形成する任意の金属が用いられ、代表的なものとしてW、Mo、Cr等が挙げられる。もちろん、それ以外であっても表面に上述の性質を有する金属が付着しているものであれば何でもよく、従って金属以外の安価な基板も使用可能である。シリサイド層の厚さについては特に規定はないが0.01~0.1 $\mu\text{m}$ とするのが望ましい。

【0040】本発明において金属基板上に堆積される非単結晶シリコン層としては主に非晶質シリコンが用いられるが、多結晶シリコンを用いても構わない。

【0041】本発明における多孔質シリコンを用いて行なわれる固相成長の温度としては非単結晶シリコン層に非晶質シリコンを用いた場合、500°C以上とするのが適

当であり、550℃以上とするのがより好ましい。但し、多結晶シリコンを用いた場合には固相成長温度は1000℃以上の高温プロセスとなり、多孔質シリコンの構造変化をもたらした上述の増速エッチングの特性が損なわれてしまう。非単結晶シリコンの堆積法としては真空蒸着法、スパッタ法、LPCVD法、プラズマCVD法、光CVD法等が用いられる。

【0042】本発明において固相成長層上にエピタキシャル層を成長させる結晶成長法にはLPCVD法、スパッタ法、プラズマCVD法、光CVD法または液相成長法等がある。例えば、LPCVD法、プラズマCVD法または光CVD法等の気相成長法の場合に使用される原料ガスとしては $\text{SiH}_4$ 、 $\text{Cl}_2$ 、 $\text{SiCl}_4$ 、 $\text{SiHCl}_3$ 、 $\text{SiEt}_4$ 、 $\text{Si}_2\text{Et}_6$ 、 $\text{SiEt}_2\text{F}_2$ 、 $\text{Si}_2\text{F}_6$ 等のシラン類およびハロゲン化シラン類が代表的なものとして挙げられる。またキャリアガスとしてあるいは結晶成長を促進させる還元雰囲気を得る目的で前記の原料ガスに加えて $\text{H}_2$ が添加される。前記原料ガスと水素との量の割合は形成方法および原料ガスの種類さらに形成条件により適宜所望に従って決められるが、好ましくは1:10以上1:1000以下（導入流量比）が適当であり、より好ましくは1:20以上1:800以下とするのが望ましい。

【0043】また本発明で使用される結晶成長法における温度および圧力としては、形成方法および使用する原料ガスの種類、原料ガスと $\text{H}_2$ との流量比等の形成条件によって異なるが、温度については例えば通常のLPCVD法では概ね600℃以上1250℃以下が適当であり、より\*

\*好ましくは650℃以上1200℃以下に制御されるのが望ましい。液相成長法の場合には溶媒の種類によるが $\text{Sn}$ を用いる場合には850℃以上1050℃以下に制御されるのが望ましい。またプラズマCVD法等の低温プロセスでは概ね200℃以上600℃以下が適当であり、より好ましくは200℃以上500℃以下に制御されるのが望ましい。

【0044】同様に圧力については概ね $10^{-2}$ Torr~760Torrが適当であり、より好ましくは $10^{-1}$ Torr~760Torrの範囲が望ましい。

【0045】また本発明の太陽電池の製造法において形成する接合の深さとしては導入される不純物の量にもよるが0.05~3 $\mu\text{m}$ の範囲とするのが適当であり、好ましくは0.1~1 $\mu\text{m}$ とするのが望ましい。

【0046】

【実施例】以下、具体的な実施例を挙げて本発明をより詳細に説明するが、本発明はこれらの実施例により何ら限定されるものではない。

【0047】実施例1

前述したように、実験1~3と同様にして図1に示すプロセスにより金属/単結晶シリコン2層半導体基板を作製した。

【0048】500 $\mu\text{m}$ 厚のp型(100)シリコンウエハ101 ( $\rho=0.01\Omega\cdot\text{cm}$ )を $\text{HF}$ 水溶液中で表3の条件で陽極化成を行ない、ウエハ101を多孔質化して多孔質シリコン層102を形成した。

【0049】

【表3】

印加電圧	2.6 V
電流密度	30 mA/cm <sup>2</sup>
陽極化成溶液	HF : H <sub>2</sub> O : C <sub>2</sub> H <sub>5</sub> OH = 1 : 1 : 1
時間	2 min
多孔質層の厚み	5 $\mu\text{m}$

【0050】SUS基板上にMoを500Åの厚さに真空蒸着して金属基板103を形成し、その表面に通常のLPCVD装置により非晶質シリコン層104を0.2 $\mu\text{m}$ 堆積した。堆積条件を表4に示す。

【0051】

【表4】

ガス流量比 (ccm)	基板温度 (℃)	圧力 (Torr)	成長速度 (nm/min)
$\text{SiH}_4$ 50	550	0.3	1.8



13

【0052】次に多孔質シリコン102の表面と非晶質シリコン104の表面とを重ね合わせて接触させた後、500℃で30分の熱処理を行い、ウエハ101とSUS基板の密着性を上げた。

【0053】続いて多孔質シリコン層104を種結晶として非晶質シリコン層104を固相エピタキシャル成長させるため、600℃で8時間熱処理を行い、非晶質シリコン層を完全に単結晶化させた。

【0054】その後、張り合わせた基板を49%フッ酸と100%アルコールと30%過酸化水素水との混合溶液 (10:6:5) に浸潤させて選択的エッチングを行なった。多孔質シリコン層が完全に除去されてウエハ101側とSUS基板側とが分離してから、SUS基板を水洗/乾燥させた。

【0055】このようにして金属基板103上に0.1μmの厚みを持った単結晶シリコン層106が形成できた。光学顕微鏡、走査型電子顕微鏡により表面を調べたところ、多孔質シリコンの選択的エッチングによる単結晶シリコン層への影響は何もなかった。

【0056】また、透過型電子顕微鏡による断面観察の結果、シリコン層には良好な結晶性が維持されており、基板103/シリコン層106界面にはMoSi<sub>2</sub>層105が形成されているのが確認された。

#### 【0057】実施例2

実施例1と同様にして図1に示すプロセスにより金属/単結晶シリコン2層半導体基板を作製した。

【0058】500μm厚のn型(100)シリコンウエハ101 (ρ=0.01Ω・cm) をHF水溶液中で表2の条件で陽極化成を行い、ウエハ101上に多孔質シリコン層102を形成した。

【0059】SUS基板103上にTiを500Åの厚さに真空蒸着し、その表面に表4の条件でLPCVD装置により非晶質シリコン層104を0.2μm堆積した。

【0060】次に多孔質シリコン102の表面と非晶質\*

14

\*シリコン104の表面とを重ね合わせて接触させた後、500℃で30分の熱処理を行い、ウエハ101とSUS基板103の密着性を上げた。

【0061】続いて多孔質シリコン102を種結晶として非晶質シリコン104を固相エピタキシャル成長させるため、650℃で6時間熱処理を行い、非晶質シリコン層を完全に単結晶化させた。

【0062】その後、張り合わせた基板を49%フッ酸と100%アルコールと30%過酸化水素水との混合溶液 (10:6:5) に浸潤させて選択的エッチングを行なった。多孔質シリコン層102が完全に除去されてウエハ101側とSUS基板103側とを分離してから、SUS基板を水洗/乾燥させた。

【0063】このようにして金属基板103上に0.1μmの厚みを持った単結晶シリコン層107が形成できた。光学顕微鏡、走査型電子顕微鏡により表面を調べたところ、多孔質シリコンの選択的エッチングによる単結晶シリコン層への影響は何もなかった。

【0064】また、透過型電子顕微鏡による断面観察の結果、シリコン層106には、良好な結晶性が維持されており、基板/シリコン層界面にはTiSi<sub>2</sub>層105が形成されているのが確認された。

#### 【0065】実施例3

実施例1、2と同様にして図1に示すプロセスにより金属/単結晶シリコン2層半導体基板を作製した。

【0066】500μm厚のp型(100)シリコンウエハ103 (ρ=0.011Ω・cm) をHF水溶液中で表2の条件で陽極化成を行ない、ウエハ上に多孔質シリコン層102を形成した。

【0067】SUS基板103上にMoを500Åの厚さに真空蒸着し、その表面に表5の条件でプラズマCVD装置により非晶質シリコン層104を0.2μm堆積した。

【0068】

【表5】

ガス流量 (cc/mm)	基板温度 (°C)	圧力 (Torr)	放電電力 (W)
SiH <sub>4</sub> * 10	450	0.3	5

\* PH<sub>3</sub>添加: PH<sub>3</sub>/SiH<sub>4</sub> = 3 × 10<sup>-4</sup>

【0069】次に多孔質シリコン102の表面と非晶質シリコン104の表面とを重ね合わせて接触させた後、500℃で30分の熱処理を行い、ウエハ102とSUS基板103の密着性を上げた。

【0070】続いて多孔質シリコン102を種結晶として非晶質シリコン104を固相エピタキシャル成長させるため、RTA (Rapid Thermal Annealing) 法により1200

℃30秒で熱処理を行い、非晶質シリコン層104を完全に単結晶化させた。

【0071】その後、張り合わせた基板を49%フッ酸と100%アルコールと30%過酸化水素水との混合溶液 (10:6:5) に浸潤させて選択的エッチングを行なった。多孔質シリコン層102が完全に除去されてウエハ101側とSUS基板103側とを分離してから、SUS基板103を水洗

／乾燥させた。

【0072】このようにして金属基板上に0.1 $\mu$ mの厚みを持った単結晶シリコン層が形成できた。光学顕微鏡、走査型電子顕微鏡により表面を調べたところ、多孔質シリコンの選択的エッチングによる単結晶シリコン層への影響は何もなかった。

【0073】また、透過型電子顕微鏡による断面観察の結果、シリコン層には良好な結晶性が維持されており、基板／シリコン層界面にはMoSi<sub>2</sub>層105Åが形成されているのが確認された。

#### 【0074】実施例4

実施例1、2と同様にして図1に示すプロセスにより金属／単結晶シリコン2層半導体基板を製作し、その上に結晶エピタキシャル成長させて太陽電池を製作した。

【0075】500 $\mu$ m厚のn型(100)シリコンウエハ101 ( $\rho=0.01\Omega\cdot\text{cm}$ )をHF水溶液中で表2の条件で陽極化成を行ない、ウエハ101を多孔質化し多孔質シリコン層102を形成した。

【0076】SUS基板103上にTiを500Åの厚さに真空蒸着し、その表面に $\rho=0.001\Omega\cdot\text{cm}$ のp型多結晶シリコン20を蒸着源として真空蒸着で0.2 $\mu$ m厚の非晶質シリコン\*

\*層104を堆積した。

【0077】次に多孔質シリコン102の表面と非晶質シリコン104の表面とを重ね合わせて接触させた後、500℃で30分の熱処理を行い、ウエハ102とSUS基板103側との密着性を上げた。

【0078】続いて多孔質シリコン102を種結晶として非晶質シリコン104を固相エピタキシャル成長させるため、650℃で6時間熱処理を行い、非晶質シリコン層104を完全に単結晶化させた。

10 【0079】その後、張り合わせた基板を49%フッ酸と100%アルコールと30%過酸化水素水との混合溶液(10:6:50)に浸潤させて選択的エッチングを行なった。多孔質シリコン層102が完全に除去されてウエハ101側とSUS基板103側とに分離してから、SUS基板を水洗／乾燥させた。

【0080】LPCVD装置により表6の形成条件でエピタキシャル成長を行いシリコン107を膜厚約50 $\mu$ mとした。

【0081】

【表6】

ガス流量比 (l/min)	基板温度 (℃)	圧力 (Torr)	成長時間 (min)
SiH <sub>4</sub> Cl <sub>2</sub> /H <sub>2</sub> * = 0.5/80	950	80	160

\* PH<sub>3</sub>添加: PH<sub>3</sub>/SiH<sub>4</sub>Cl<sub>2</sub> = 3 × 10<sup>-6</sup>

【0082】次にエピタキシャル層107の表面にBCl<sub>3</sub>を拡散源として950℃の温度で30分の熱拡散を行ってp<sup>+</sup>層を形成し、0.5 $\mu$ m程度の接合深さを得た。形成されたp<sup>+</sup>層表面のデッド層をウェット酸化後、エッチングにより除去し、約0.2 $\mu$ mの適度な表面濃度をもった接合深さを得た。

【0083】最後にEB(Electron Beam)蒸着によりITO透明導電膜(820Å)／集電電極(Cr/Ag/Cr(200Å/1 $\mu$ m/400Å))をp<sup>+</sup>層上に形成した。

【0084】このようにして得られた薄膜結晶シリコン太陽電池についてAM1.5(100mW/cm<sup>2</sup>)光照射下でのI-V特性について測定したところ、開放電圧0.59V、短絡電流31mA/cm<sup>2</sup>、曲線因子0.74となり、エネルギー変換効率13.5%を得た。このように多孔質シリコンを種結晶として固相成長を行い、更にこの固相成長層上に成長させたエピタキシャル層を用いて良好な特性を示す薄膜結晶太陽電池が製作出来た。

#### 【0085】実施例5

実施例4と同様にして薄膜結晶太陽電池を製作した。

【0086】500 $\mu$ m厚のp型(100)シリコンウエハ10

1 ( $\rho=0.01\Omega\cdot\text{cm}$ )をHF水溶液中で表2の条件で陽極化成を行ない、ウエハ上に多孔質シリコン層102を形成した。

【0087】SUS基板103上にMoを500Åの厚さに真空蒸着し、その表面に $\rho=0.001\Omega\cdot\text{cm}$ のp型多結晶シリコンを蒸着源として真空蒸着で0.2 $\mu$ m厚の非晶質シリコン層104を堆積した。

【0088】次に多孔質シリコン102の表面と非晶質シリコン104の表面とを重ね合わせて接触させた後、500℃で30分の熱処理を行い、ウエハ102とSUS基板103との密着性を上げた。

【0089】続いて多孔質シリコン102を種結晶として非晶質シリコン104を固相エピタキシャル成長させるため、600℃で8時間熱処理を行い、非晶質シリコン層104を完全に単結晶化させた。

【0090】その後、張り合わせた基板を49%フッ酸と100%アルコールと30%過酸化水素水との混合溶液(10:6:50)に浸潤させて選択的エッチングを行なった。多孔質シリコン層102が完全に除去されてウエハ101側とSUS基板103側とに分離してから、SUS基板を水洗／乾

燥させた。

【0091】 LPCVD装置により表7の形成条件でエビタキシャル成長を行いシリコン層107の膜厚を約50\*

\*  $\mu\text{m}$ とした。

【0092】

【表7】

ガス流量比 ( $\text{l/min}$ )	基板温度 ( $^{\circ}\text{C}$ )	圧力 ( $\text{Torr}$ )	成長時間 ( $\text{min}$ )
$\text{SiH}_2\text{Cl}_2/\text{H}_2$ * $= 0.5/80$	950	80	160

\*  $\text{B}_2\text{H}_6$  添加:  $\text{B}_2\text{H}_6/\text{SiH}_2\text{Cl}_2 = 2 \times 10^{-5}$

常圧CVD装置によりPSGを6000Å堆積し、これを拡散源として950°Cの温度でPの熱拡散を行ってn層を0.1 $\mu\text{m}$ 形成した。続いてPSGをエッチングで除去した後に、ITO透明導電膜(820Å) / 集電電極 (Cr/Ag/Cr (200Å/1 $\mu\text{m}$ /400Å)) をn層上に形成した。

【0093】 このようにして得られた薄膜結晶シリコン太陽電池についてAM1.5(100 $\text{mW}/\text{cm}^2$ ) 光照射下でのI-V特性について測定したところ、開放電圧0.58V、短絡光電流30 $\text{mA}/\text{cm}^2$ 、曲線因子0.77となり、エネルギー変換効率13.4%を得た。

【0094】 実施例6

※

※実施例4, 5と同様にしてp $\mu\text{c-Si}$ /結晶シリコンヘテロ型太陽電池を製作した。

【0095】 実施例3で製作した基板を用いて、LPCVD装置により表6の形成条件でエビタキシャル成長を行いシリコン層の膜厚を約50 $\mu\text{m}$ とした。

【0096】 エビタキシャル層の上に通常のプラズマCVD装置により、表8に示す条件でp型 $\mu\text{c-Si}$ を200Å堆積させた。この時の $\mu\text{c-Si}$ 膜の暗導電率は $\sim 10^5 \text{cm}^{-1}$ であった。

【0097】

【表8】

ガス流量比	基板温度	圧力	放電電力
$\text{SiH}_4/\text{H}_2 =$ $1\text{cc}/20\text{cc}$ $\text{B}_2\text{H}_6/\text{SiH}_4 =$ $2.0 \times 10^{-5}$	250 $^{\circ}\text{C}$	0.5 Torr	20W

【0098】 このようにしてヘテロ型pn接合を形成した後にその上に透明導電膜としてITOを約850Å電子ビーム蒸着し、さらに集電電極 (Cr/Ag/Cr (200Å/1 $\mu\text{m}$ /400Å)) を形成した。

【0099】 このようにして得られたp $\mu\text{c-Si}$ /結晶シリコンヘテロ型太陽電池のAM1.5光照射下でのI-V特性の測定を行ったところ、開放電圧0.62V、短絡光電流32 $\text{mA}/\text{cm}^2$ 、曲線因子0.7となり、変換効率13.9%という高い値が得られた。このようにヘテロ接合を用いることによりさらに高い開放電圧が得られる。以上述べたように、本発明によれば、金属基板上に良質な単結晶シリコン層を形成することができ、これにより高品質で安価な太陽電池が製造されることが示された。

【0100】

【発明の効果】 以上述べてきたように、本発明によれば、特性の良好な結晶薄膜太陽電池を金属基板上に形成

することが可能となった。これにより、量産性のある安価で良質の薄膜太陽電池を市場に提供することができるようになった。

【図面の簡単な説明】

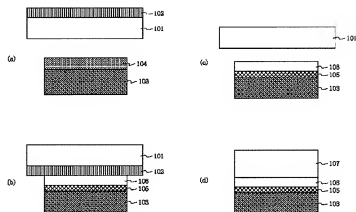
【図1】 本発明の半導体基体の製造工程を説明する模式図である。

【図2】 選択エッチング液でエッチングされた多孔質シリコンと単結晶シリコンの厚みの時間依存性について示したグラフである。

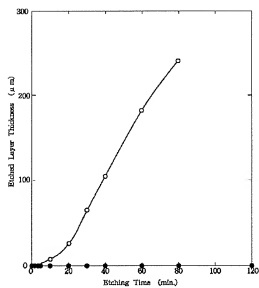
【符号の説明】

- 101 シリコンウエハ
- 102 多孔質シリコン層
- 103 金属基板
- 104 非単結晶シリコン層
- 105 シリサイド層
- 106 固相エビタキシャル層

【図1】



【図2】



- (19) Japan Patent Office (JP)  
 (12) Publication of Unexamined Patent Application (A)  
 (11) Japanese Patent Laid-Open Number: Tokkai Hei 5-218464  
 (43) Laid-Open Date: Heisei 5-27 (August 27, 1993)  
 (51) Int.Cl.<sup>5</sup> Identification Code F1 Theme Code (reference)

H01L 31/04 9171-4M  
 21/20 7376-4M H01L 31/04 A  
 7376-4M X

Request for Examination: Not Requested

Number of Claims: 20

(24 pages in total)

(21) Number Assigned to the Application: Tokugan Hei. 4-16506

(22) Date of Filing Application: Heisei 4-1-31 (January 31, 1993)

(71) Applicant: 000001007

Canon Inc.

3-30-2, Shimomaruko, Ota-ku, Tokyo, Japan

(72) Inventor: Shoji Nishida

c/o Canon Inc.

3-30-2, Shimomaruko, Ota-ku, Tokyo, Japan

(72) Inventor: Kiyofumi Sakaguchi

c/o Canon Inc.

3-30-2, Shimomaruko, Ota-ku, Tokyo, Japan

(72) Inventor: Takao Yonehara

c/o Canon Inc.

3-30-2, Shimomaruko, Ota-ku, Tokyo, Japan

(74) Representative: Patent Attorney; Giichi Narushima.

(54) Title of the Invention: METHODS OF MANUFACTURING SEMICONDUCTOR BASE BODY AND SOLAR CELL, AND SEMICONDUCTOR BASE BODY AND SOLAR CELL OBTAINED BY THESE METHODS

(57) [Abstract]

[Object]

To provide a semiconductor substrate having a high-quality epitaxial Si layer formed on a metal substrate, and a method of manufacturing a thin-film crystalline solar cell using the same.

[Construction]

A porous Si layer 102 is formed through anodization on a Si wafer 101. A surface of a non-single crystalline Si layer 104 deposited on a metal substrate 103 is brought into contact with a surface of the porous Si layer 102. Then, heat treatment is carried out for solid-phase growth, and thus the porous Si layer grows as seed crystal to turn the non-single crystalline Si layer into a single crystalline silicon layer 106. At the same time, a silicide layer is formed at an interface between the metal substrate 103 and the single crystalline silicon layer. The porous Si is removed through selective etching to separate the Si wafer from the single crystalline silicon layer 106. As a result, a semiconductor substrate with a two-layer structure of metal and single crystalline Si is obtained. Additionally, an epitaxial layer Si 107 is grown epitaxial growth on the single crystalline Si 106, and then a solar cell is formed.

[Scope of Claims]

[Claim 1] A method of manufacturing a semiconductor substrate with a metal/semiconductor two-layer structure, characterized by comprising:

- i) a step of depositing a non-single crystalline silicon layer on a metal substrate;
- ii) a step of forming a porous surface of a single crystalline silicon substrate;
- iii) a step of bringing a surface of the non-single crystalline silicon layer on the metal substrate into contact with a surface of a porous layer on the single crystalline silicon substrate;
- iv) a step of turning the non-single crystalline silicon layer opposing the porous layer into single crystal through solid-phase epitaxial growth by means of heat treatment, and at the same time, of forming a silicide layer at an interface between the metal substrate and the non-single crystalline silicon; and

- v) a step of removing the porous layer through selective etching to separate the single crystalline silicon substrate from a single-crystallized silicon layer on the metal substrate.

[Claim 2] The method of manufacturing a semiconductor substrate according to claim 1, wherein the non-single crystalline silicon layer is an amorphous silicon layer.

[Claim 3] The method of manufacturing a semiconductor substrate according to claim 1, wherein the porous layer is formed through anodization.

[Claim 4] The method of manufacturing a semiconductor substrate according to claim 1, wherein the selective etching is carried out using a mixture of hydrofluoric acid, alcohol, and hydrogen peroxide solution.

[Claim 5] The method of manufacturing a semiconductor substrate according to claim 1, wherein an impurity is introduced into the non-single crystalline silicon layer any one of during and after the deposition of the non-single crystalline silicon layer.

[Claim 6] A method of manufacturing a solar cell using a solid-phase epitaxial film, characterized by comprising:

- i) a step of depositing a non-single crystalline silicon layer on a metal substrate;
- ii) a step of forming a porous surface of a single crystalline silicon substrate;
- iii) a step of bringing a surface of the non-single crystalline silicon layer on the metal substrate into contact with a surface of a porous layer on the single crystalline silicon substrate;
- iv) a step of turning the non-single crystalline silicon layer opposing the porous layer into single crystal through solid-phase epitaxial growth by means of heat treatment, and at the same time forming a silicide layer at an interface between the metal substrate and the non-single crystalline silicon;

- v) a step of removing the porous layer through selective etching to separate the single crystalline silicon substrate from a single-crystallized silicon layer on the metal substrate;

- vi) a step of forming a silicon epitaxial layer on the single-crystallized silicon layer through thin-film epitaxial growth; and

vii) a step of forming a semiconductor junction on a surface of the epitaxial layer.

[Claim 7] The method of manufacturing a solar cell according to claim 6, wherein the non-single crystalline silicon layer is an amorphous silicon layer.

[Claim 8] The method of manufacturing a solar cell according to claim 6, wherein the porous layer is formed through anodization.

[Claim 9] The method of manufacturing a solar cell according to claim 6, wherein the selective etching is carried out using a mixture of hydrofluoric acid, alcohol, and hydrogen peroxide solution.

[Claim 10] The method of manufacturing a solar cell according to claim 6, wherein an impurity is introduced into the non-single crystalline silicon layer any one of during or after the deposition of the non-single crystalline silicon layer.

[Claim 11] A semiconductor substrate characterized by being manufactured by executing:

i) a step of depositing a non-single crystalline silicon layer on a metal substrate;

ii) a step of forming a porous surface of a single crystalline silicon substrate;

iii) a step of bringing a surface of the non-single crystalline silicon layer on the metal substrate into contact with a surface of a porous layer on the single crystalline silicon substrate;

iv) a step of turning the non-single crystalline silicon layer opposing the porous layer into single crystal through solid-phase epitaxial growth by means of heat treatment, and forming a silicide layer at an interface between the metal substrate and the non-single crystalline silicon; and

v) a step of removing the porous layer through selective etching to separate the single crystalline silicon substrate from a single-crystallized silicon layer on the metal substrate.

[Claim 12] The semiconductor substrate according to claim 11, wherein the non-single crystalline silicon layer is an amorphous silicon layer.

[Claim 13] The semiconductor substrate according to claim 11, wherein the porous layer is formed through anodization.

[Claim 14] The semiconductor substrate according to claim 11, wherein the selective etching is carried out using a mixture of hydrofluoric acid, alcohol, and hydrogen peroxide solution.

[Claim 15] The semiconductor substrate according to claim 11, wherein an impurity is introduced into the non-single crystalline silicon layer any one of during or after the deposition of the non-single crystalline silicon layer.

[Claim 16] A solar cell characterized by being manufactured by executing:

i) a step of depositing a non-single crystalline silicon layer on a metal substrate;

ii) a step of forming a porous surface of a single crystalline silicon substrate;

iii) a step of bringing a surface of the non-single crystalline silicon layer on the metal substrate into contact with a surface of a porous layer on the single crystalline silicon substrate;

iv) a step of turning the non-single crystalline silicon layer opposing the porous layer into single crystal through

solid-phase epitaxial growth by means of heat treatment, and forming a silicide layer at an interface between the metal substrate and the non-single crystalline silicon;

v) a step of removing the porous layer through selective etching to separate the single crystalline silicon substrate from a single-crystallized silicon layer on the metal substrate;

vi) a step of forming a silicon epitaxial layer on the single-crystallized silicon layer through thin-film epitaxial growth; and

vii) a step of forming a semiconductor junction on a surface of the epitaxial layer.

[Claim 17] The solar cell according to claim 16, wherein the non-single crystalline silicon layer is an amorphous silicon layer.

[Claim 18] The solar cell according to claim 16, wherein the porous layer is formed through anodization.

[Claim 19] The solar cell according to claim 16, wherein the selective etching is carried out using a mixture of hydrofluoric acid, alcohol, and hydrogen peroxide solution.

[Claim 20] The solar cell according to claim 16, wherein an impurity is introduced into the non-single crystalline silicon layer any one of during and after the deposition of the non-single crystalline silicon layer.



[Detailed Description of the Invention]

[0001]

[Field of the Industrial Application] The present invention relates to methods of manufacturing a semiconductor substrate and a solar cell. In particular, the present invention relates to methods of manufacturing a substrate having a semiconductor deposited on metal and to methods of manufacturing a solar cell.

[0002]

[Prior Art] In times of cost-consciousness, a photoelectric conversion element, especially a solar cell, is preferably formed on an inexpensive substrate, such as a metal substrate, especially, one of SUS. How to form a high-quality semiconductor layer on metal is important for this purpose.

[0003] As a semiconductor constituting a solar cell, silicon is ordinarily used, and single-crystalline silicon, polysilicon, and amorphous silicon are forms thereof. In order to get larger area and to save costs, amorphous silicon is considered to be advantageous. However, it is preferable to use single-crystalline silicon in view of efficiency in conversion of light energy into electromotive force, and in view of stability. In recent years, the use of polysilicon has been under study for the purpose of lowering costs down to the level as in the case of using amorphous silicon, and for the purpose of attaining high efficiency in energy conversion up to the level as in the case of using single crystalline silicon. In conventional technology, a massive crystal of single crystalline or polysilicon is sliced into slices for use. A slice not thicker than 0.3 mm is difficult to get in this way. A thicker slice than necessary to absorb enough light means an insufficiently effective use of material. In other words, lowering costs needs using thinner crystal. In recent years, a method of forming a silicon sheet by spin coating method is proposed, where molten silicon droplets are cast in a mold. However, the resultant sheet is no less than about 0.1 mm to 0.2 mm in thickness. This still is not thinner enough to be crystalline silicon used for absorbing light comparing to 20 to 50  $\mu$ m thickness which is necessary and sufficient for the purpose. Furthermore, a silicon sheet of this thinness is not strong enough to be a substrate any longer. As a result, another substrate is needed as a support for the silicon sheet.

[0004]

[Problem to be solved by the Invention] Considering all these problems, an attempt is proposed, wherein a thin film epitaxial layer is used for a solar cell in order to attain high energy-conversion efficiency and low costs. The thin film epitaxial layer is separated (peeled off) from a single crystalline silicon substrate on which the layer is formed, and is bonded to another substrate (Milnes, A.G. and Feucht, D, L, "Peeled Film Technology Solar Cells", IEEE Photovoltaic Specialist Conference, p. 338, 1975).

[0005] However, according to the above-mentioned method, a SiGe intermediate layer is needed to be inserted between a substrate of single crystalline silicon and an epitaxial-growth layer, to be grown hetero-epitaxially and to be selectively melt to get the growth layer peeled off. In ordinary, in case of forming the layer through the hetero-epitaxial growth, a lattice constant varies, so lattice defects tend to occur at a growth interface. Further, this

method is not necessarily advantageous in terms of process costs, as long as it is necessary to use different sorts of material.

[0006] Another method of forming a thin crystalline film is reported wherein a single crystalline silicon wafer is brought into contact with a surface of an amorphous silicon film deposited on  $\text{SiO}_2$ , and is processed by heat treatment. Thus, a thin crystalline film is obtained by solid-phase growth (The 38th Meeting of The Japan Society of Applied Physics and Related Societies, Spring 1991, 28p-X-10). According to this method, however, the silicon wafer is bonded so firmly to the solid-phase growth layer that it is difficult to separate them after the growth. This hinders sufficient heat treatment. So, a complete single crystal has not been obtained yet by this method.

[0007] A method according to the present invention aims at overcoming defects of the above-described conventional techniques to obtain high-quality thin film single crystal on a metal substrate. Further, the invention aims at providing a method of manufacturing a satisfactory solar cell using the same.

[0008] An object of the present invention is to provide an inexpensive metal/crystal semiconductor two-layer substrate in such a manner that a non-single crystalline layer formed on a metal substrate is turned into single crystal through solid-phase growth.

[0009] Another object of the present invention is to provide a high-quality solar cell using a single crystal semiconductor.

[0010]

[Means for solving the Problem and Operation] The present invention has been accomplished, as a result of extensive studies made by the inventors of the present application, to solve the problems of the conventional techniques and to attain the above-mentioned objects. The present invention relates to a method of manufacturing a thin single crystal solar cell having satisfactory characteristics, and to a solar cell manufactured thereby. That is, a method of manufacturing a semiconductor substrate having a metal/semiconductor two-layer structure according to the present invention is characterized by including: i) a step of depositing a non-single crystalline silicon layer on a metal substrate; ii) a step of forming a porous surface of a single crystalline silicon substrate; iii) a step of bringing a surface of the non-single crystalline silicon layer on the metal substrate into contact with a surface of a porous layer on the single crystalline silicon substrate; iv) a step of turning the non-single crystalline silicon layer opposing the porous layer into single crystal through solid-phase epitaxial growth by means of heat treatment, and at the same time, forming a silicide layer at an interface between the metal substrate and the non-single crystalline silicon; and v) a step of removing the porous layer through selective etching to separate the single crystalline silicon substrate from a single-crystallized silicon layer on the metal substrate.

[0011] A method of manufacturing a solar cell using a solid-phase epitaxial film according to the present invention is characterized by including: i) a step of depositing a non-single crystalline silicon layer on a metal substrate; ii) a step of forming a porous surface of a single crystalline silicon substrate; iii) a step of bringing a surface of the

non-single crystalline silicon layer on the metal substrate into contact with a surface of a porous layer on the single crystalline silicon substrate; iv) a step of turning the non-single crystalline silicon layer opposing the porous layer into single crystal through solid-phase epitaxial growth by means of heat treatment, and at the same time, forming a silicide layer at an interface between the metal substrate and the non-single crystalline silicon; v) a step of removing the porous layer through selective etching to separate the single crystalline silicon substrate from a single-crystallized silicon layer on the metal substrate; and vi) a step of forming a silicon epitaxial layer on the single-crystallized silicon layer through thin-film epitaxial growth.

[0012] A semiconductor substrate according to the present invention is characterized by being manufactured by executing: i) a step of depositing a non-single crystalline silicon layer on a metal substrate; ii) a step of forming a porous surface of a single crystalline silicon substrate; iii) a step of bringing a surface of the non-single crystalline silicon layer on the metal substrate into contact with a surface of a porous layer on the single crystalline silicon substrate; iv) a step of turning the non-single crystalline silicon layer opposing the porous layer into single crystal through solid-phase epitaxial growth by means of heat treatment, and at the same time, forming a silicide layer at an interface between the metal substrate and the non-single crystalline silicon; and v) a step of removing the porous layer through selective etching to separate the single crystalline silicon substrate from a single-crystallized silicon layer on the metal substrate.

[0013] Further, a solar cell according to the present invention is characterized by being manufactured by executing: i) a step of depositing a non-single crystalline silicon layer on a metal substrate; ii) a step of forming a porous surface of a single crystalline silicon substrate; iii) a step of bringing a surface of the non-single crystalline silicon layer on the metal substrate into contact with a surface of a porous layer on the single crystalline silicon substrate; iv) a step of turning the non-single crystalline silicon layer opposing the porous layer into single crystal through solid-phase epitaxial growth by means of heat treatment, and at the same time, forming a silicide layer at an interface between the metal substrate and the non-single crystalline silicon; v) a step of removing the porous layer through selective etching to separate the single crystalline silicon substrate from a single-crystallized silicon layer on the metal substrate; vi) a step of forming a silicon epitaxial layer on the single-crystallized silicon layer through thin-film epitaxial growth; and vii) a step of forming a semiconductor junction on a surface of the epitaxial layer.

[0014] As shown in Fig. 1, a feature of the present invention is that a surface of a silicon wafer is turned into a porous surface through anodization in an HF solution (Fig. 1a). The surface of amorphous silicon deposited on a metal substrate beforehand and the resultant porous surface are both subjected to heat treatment, and the amorphous silicon is turned into single crystal with the porous portion used as a seed crystal. At the same time, a silicide layer is formed at an interface between the metal substrate and the amorphous silicon to attain a satisfactory ohmic contact (Fig. 1b). The porous layer is removed through selective etching to separate the

silicon wafer from the solid-phase growth layer (Fig. 1c). Further, if needed, an epitaxial layer is deposited into a desired thickness by an ordinary crystal growth method to form a single crystalline silicon thin film on the metal substrate (Fig. 1d).

[0015] The formation of porous silicon through anodization requires holes for anodic reaction. Hence, p type silicon having holes is mainly made porous (T. Unagami, J. Electrochem. Soc., vol. 127, 476 (1980)). However, there is another report that low-resistance n type silicon can be made porous (R. P. Holmstrom and J. Y. Chi, Appl. Phys. Lett., vol. 42, 386 (1983)). Thus, low-resistance silicon can be made porous irrespective of whether the silicon is n type or p type. The porous silicon obtained by anodizing the single crystalline silicon has several hundreds of pores according to a transmission electron microscopic observation. The density thereof is half or less of that of single crystalline silicon. Nevertheless, single crystallinity is maintained. As is well known in the art, an epitaxial layer is formed on the porous silicon through LPCVD for instance. Further, as mentioned above, the porous silicon includes a number of pores as mentioned above, and has a surface area which is drastically increased with respect to its volume. Hence, a chemical etching rate of porous silicon is considerably higher than that of an ordinary single crystalline silicon.

[0016] In addition, NaOH aqueous solution is solely used as selective etchant for ordinary crystalline silicon and for porous silicon in the conventional technique. The selective etching of the porous silicon with the NaOH aqueous solution has a problem in that Na ions are absorbed into the etched surface, which results in contamination with impurities.

[0017] The inventors of the present application have made repeated experiments and found that a non-single crystalline silicon layer, specifically an amorphous silicon layer, which is deposited on a metal substrate, is brought into contact an upper surface of a porous silicon layer, followed by heat treatment, with the result that the non-single crystalline layer is turned into single crystal through solid-phase growth with the porous layer used as seed crystal, and that the porous silicon layer alone can be selectively etched with a mixture of solution of alcohol and hydrogen peroxide solution, and hydrofluoric acid having no function of etching crystalline silicon. As a result, the present invention has been completed based on the findings that a high-quality thin film single crystalline silicon layer can be formed on a metal substrate. Hereinafter, experiments made by the inventors of the present application will be described with reference to Fig. 1.

[0018] (Experiment 1) Formation of porous silicon

A 500  $\mu\text{m}$ -thick p type (100) single crystalline silicon wafer 101 having a specific resistance of 0.01  $\Omega\cdot\text{cm}$  is subjected to anodization in an HF aqueous solution.

Anodization conditions are shown in Table 1.

[0019]

[Table 1]

Applied voltage	2.6 V
Current density	30 $\text{mA}/\text{cm}^2$
Anodization solution	$\text{HF}:\text{H}_2\text{O}:\text{C}_2\text{H}_5\text{OH} = 1:1:1$
Time	1 min

Porous layer thickness	2.5 $\mu\text{m}$
------------------------	-------------------

[0020] As a result of observing a surface of the resultant porous silicon layer 102 with a transmission electron microscope, pores with an average diameter of about 600 Å are formed. Further, as a result of observing a section of the porous silicon layer with a high-resolution scanning electron microscope, minute pores are similarly formed in the vertical direction with respect to the substrate. Further, the density is measured with the anodization time being in the conditions of Table 1 being set longer and with the porous silicon layer thickness being set larger. The measurement result shows that the density of the porous silicon layer is 1.1 g/cm<sup>3</sup>, which is about half the density of the single crystalline silicon.

[0021] (Experiment 2) Solid-phase growth with porous silicon used as seed crystal

An amorphous silicon 104 is deposited with the thickness of 0.1  $\mu\text{m}$  on a 0.8 mm-thick W (tungsten) substrate 103 through vacuum evaporation. Then, the surface of the porous silicon layer on the wafer, which is formed in Experiment 1, is brought into contact with an upper surface of the amorphous silicon layer, followed by temporary heat treatment at a temperature lower than the crystallization temperature of the amorphous silicon. Thus, the surface of the porous silicon 102 is put into close contact with the surface of amorphous silicon 104.

[0022] Next, the thus-bonded substrate is subjected to heat treatment at 630°C for a second time to promote the growth of a solid-phase epitaxial layer 106 in the amorphous silicon layer, with the porous silicon 102 being seed crystal. The heat treatment ends after a sufficient amount of time. The observation of the substrate section with the transmission electron microscope reveals that the amorphous silicon layer being in contact with the porous silicon is completely turned into single crystal, while satisfactory crystallinity being maintained.

[0023] Further, as a result of analyzing compositions, it is found that a WSi<sub>2</sub> layer 105 is formed at an interface between the W substrate 103 and the single crystallized silicon layer 106.

[0024] (Experiment 3) Selective etching of porous silicon

An examination is made on etching of the porous silicon manufactured under the same conditions as Experiment 1 with a mixture of hydrofluoric acid, alcohol, and hydrogen peroxide solution.

[0025] Fig. 2 shows a time-varying thickness of porous silicon and single crystalline silicon that are etched by being immersed into a mixture (10:6:50) of 49% hydrofluoric acid, 100% ethyl alcohol, and 30% hydrogen peroxide solution without being stirred. The thickness of the porous silicon and the single crystalline silicon before etching is about 300  $\mu\text{m}$  and 500  $\mu\text{m}$ , respectively.

[0026] The porous silicon and the single crystalline silicon are immersed into the above-described mixture at room temperature to measure how far the thickness is reduced. The measurement result shows that the porous silicon is rapidly etched by 107  $\mu\text{m}$  in about 40 minutes and by up to 244  $\mu\text{m}$  in 80 minutes. The etched surface is extremely even in spite of such a high etching rate. In contrast, the single crystalline

silicon is etched by only 50 Å or less, even in 120 minutes, which reveals that single crystalline silicon is rarely etched. [0027] Next, the bonded substrate obtained in Experiment 2 is immersed in the mixed etchant described above and is left to stand. Then, only the porous silicon layer 102 is selectively etched to separate the wafer 101 side from the metal substrate 103 side. After being washed with water and dried, the surface of the metal substrate (having opposed the porous layer) is observed with high-resolution scanning electron microscope. Then, a single crystalline silicon layer is formed with the thickness of about 0.1 μm and with an extremely even surface. Further, the wafer surface (having opposed the porous layer) is similarly observed, and is also found to be extremely even. [0028] As mentioned above, it is revealed that according to the solid-phase growth method using the porous layer as seed crystal, a high-quality single crystalline silicon layer can be formed on the metal substrate. [0029] Furthermore, the inventors of the present application have made an attempt to manufacture a solar cell using the resultant substrate of a metal/single crystalline silicon two-layer structure. [0030] (Experiment 4) Crystal growth on solid-phase growth layer

The solid-phase epitaxial layer 106 formed on the metal substrate in Experiment 3 is used to further form an epitaxial layer 107. As a crystal growth method, an ordinary LPCVD method is used, and the growth is promoted under the conditions of Table 2.

[0031] The crystal surface after the crystal growth is observed with optical microscope and with scanning electron microscope. The observation result shows that a flat surface is obtained. The growth layer section is observed with transmission electron microscope. The observation result confirms that a single crystalline epitaxial layer with satisfactory crystallinity is formed.

[0032]

[Table 2]

Gas flow rate	Substrate temperature	Pressure	Growth time
SiH <sub>2</sub> Cl <sub>2</sub> /H <sub>2</sub> = 0.5/80 ℓ/min	950 °C	80 Torr	160 min

[0033] (Experiment 5) Manufacturing of solar cell

A solar cell is manufactured based on the experimental results of Experiments 1 and 4. Similar to Experiment 1, the porous silicon layer 102 is formed on the silicon wafer 101 under the conditions of Table 1. Next, the 0.1 μm-thick amorphous silicon 104 is deposited on the W substrate 103 through vacuum evaporation using p type porous silicon having ρ = 0.01 Ω·m as an evaporation source. The above-mentioned porous silicon layer 102 is brought into contact with an upper surface of the amorphous silicon layer 104 and into close contact therewith through heat treatment. The bonded substrate is subjected to heat treatment at 630°C to promote solid-phase growth, and thus a solid-phase epitaxial layer is formed. Next, similar to Experiment 3, the substrate is immersed into a mixture of hydrofluoric acid/ethyl alcohol/hydrogen peroxide solution to selectively etch the porous silicon 102 and to

separate the wafer 101 side from the metal substrate 103 side. Under the LPCVD conditions described in Experiment 4, the silicon 107 is formed through epitaxial growth on the solid-phase growth layer 106. A crystalline layer having a thickness of about  $50\text{ }\mu\text{m}$  is obtained.

[0034] Subsequently, P ions are implanted from the surface of the formed epitaxial layer at 50 KeV and  $1 \times 10^{15}\text{ cm}^{-2}$ , and then annealing is successively performed under the conditions of  $550^\circ\text{C}$ , 1 hour/ $800^\circ\text{C}$ , 30 min/ $550^\circ\text{C}$ , 1 hour for activation of impurities and for recovery from damages of ion implantation. A junction is formed. Finally, a transparent conductive film and a collecting electrode are formed through vacuum evaporation on the epitaxial layer surface. Thus, a solar cell is manufactured.

[0035] A measurement is made of a current-voltage characteristic (I-V characteristic) of the epitaxial thin film solar cell obtained by epitaxial growth on a solid-phase growth layer with the porous portion used as seed crystal, under the illumination with light at AM1.5 ( $100\text{ mW/cm}^2$ ). The measurement result is as follows: an open-circuit voltage is 0.55 V, a short-circuit photocurrent is  $31\text{ mA/cm}^2$ , a fill factor is 0.72, and conversion efficiency is 12.3%. In this way, a solar cell having satisfactory crystallinity is obtained.

[0036] As mentioned above, the present invention being completed based on the experimental results described above relates to a method of manufacturing a substrate and to a method of manufacturing a crystalline solar cell. The substrate has a metal/semiconductor two-layer structure obtained by forming a porous layer on a wafer, and turning a non-single crystalline layer on a metal substrate into a single crystalline layer through solid-phase growth with a porous layer used as seed crystal. The solar cell is obtained by forming an additional layer through epitaxial growth on the substrate. A feature of the present invention is that a wafer for forming a porous layer can be reused, and is advantageous in terms of costs.

[0037] In an anodization method for forming a porous silicon layer used in the present invention, a hydrofluoric acid is used. An amount of current that flows during the anodization is appropriately determined based on a HF concentration, a desired thickness of the porous layer. Preferably, the current amount is from several  $\text{mA/cm}^2$  to several tens of  $\text{mA/cm}^2$ . Further, if alcohol such as ethyl alcohol is added to the HF solution, bubbles of a reaction product gas generated during the anodization can be removed immediately from the reaction surface without stirring. Thus, the porous silicon can be formed uniformly and efficiently. The amount of alcohol added is appropriately determined based on the HF concentration and the desired thickness of the porous layer. The additional amount should be carefully determined so as not to excessively reduce the HF concentration.

[0038] As a selective etchant of the porous silicon used in present invention, a mixture of hydrofluoric acid, alcohol, and hydrogen peroxide solution is used. In particular, the addition of the hydrogen peroxide solution accelerates oxidation of silicon, in other words, increases a reaction speed as compared to the case without hydrogen peroxide solution. The ratio of the hydrogen peroxide solution is changed to control the reaction speed. Further, if alcohol

such as ethyl alcohol is added to the HF solution, bubbles of a reaction product gas resulting from the etching can be instantly removed from the etched surface without stirring. Thus, the porous silicon can be etched uniformly and efficiently. Etching conditions such as a concentration ratio between the solutions in the etchant and etching temperature are appropriately determined within such a range that an etching rate of the porous silicon and an etching selection ratio between the porous silicon and ordinary single crystalline silicon fall within a practicable range, and a beneficial effect of the alcohol is not impaired.

[0039] As a metal substrate material used for methods of manufacturing a semiconductor substrate and a solar cell of the present invention, any metal having high conductivity, which is reactable with silicon to form a compound such as silicide is used. Materials such as W, Co, Cr, are representative examples. Needless to say, apart from the above materials, any material added with the metal having the above properties can be used. Accordingly, an inexpensive substrate other than metal can be used. The thickness of the silicide layer is preferably 0.01 to 0.1  $\mu\text{m}$ , though there are no particular limitations.

[0040] As the non-single crystalline silicon layer deposited on the metal substrate in the present invention, amorphous silicon is mainly used, but a polysilicon layer may be used.

[0041] As the temperature for the solid-phase growth of the present invention, which is executed by using the porous silicon of the present invention 500°C or higher is appropriate, and 550°C is more preferable, when amorphous silicon is used as the non-single crystalline layer. However, in the case of using the polysilicon, the temperature of solid-phase growth is 1,000°C or higher, the solid-phase growth being a high-temperature process. This brings about a change in the porous silicon structure, and impairs the above-mentioned characteristics of the enhanced etching. The non-single crystalline silicon is deposited by any of vacuum evaporation, sputtering, LPCVD, plasma CVD, or light CVD.

[0042] As a crystal growth method for forming an epitaxial layer on the solid-phase growth layer in the present invention, there are LPCVD, sputtering, LPCVD, plasma CVD, light CVD, and liquid-phase growth method. Typical examples of material gas used for the vapor phase growth method such as LPCVD, plasma CVD, or light CVD include silanes and halogenated silanes such as  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiCl}_4$ ,  $\text{SiHCl}_3$ ,  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{F}_2$ , and  $\text{Si}_2\text{F}_6$ . Further, as carrier gas or as gas for obtaining a reduction atmosphere, which promotes crystal growth,  $\text{H}_2$  is added other than the above-mentioned material gas. A mixing ratio between the above-mentioned material gas and hydrogen is appropriately determined as desired in accordance with the forming method, the type of material gas, and the formation conditions. It, however, is preferably within a range of 1 : 10 to 1 : 1000 (introducing flow rate), more preferably 1 : 20 to 1 : 800.

[0043] The temperature and pressure adopted in the crystal growth method used in the present invention vary depending on the formation conditions such as the forming method, the type of the used material gas, and the flow rate of the material gas and  $\text{H}_2$ . However, the temperature is, for example, preferably set to fall within a range of about 600°C to 1250°C, more preferably is controlled within 650°C to 1200°C as for the ordinary LPCVD. In the case of using the liquid-phase



growth method with Sn as the solvent, the temperature is preferably controlled within a range of 850°C to 1050°C although it varies depending on a solvent type. In addition, in a low-temperature process such as the plasma CVD, the temperature is preferably set to fall within a range of about 200°C to 600°C, more preferably is controlled within a range of 200°C to 500°C.

[0044] Likewise, the pressure is appropriately set within a range of about  $10^{-2}$  Torr to 760 Torr, more preferably within a range of  $10^{-1}$  Torr to 760 Torr.

[0045] Further, the depth of the junction formed with the method of manufacturing a solar cell of the present invention is preferably in a range of 0.05 to 3  $\mu\text{m}$ , more preferably within a range of 0.1 to 1  $\mu\text{m}$  although it varies depending on the amount of impurity being introduced.

[0046]

[Example] Hereinafter, the present invention will be described in more detail by way of concrete embodiments. However, the present invention is not limited to these embodiments at all.

[0047] Example 1

As mentioned above, the semiconductor substrate having a metal/single crystalline silicon two-layer structure is manufactured through the process of Fig. 1 in the same way as in Experiments 1 to 3.

[0048] The 500  $\mu\text{m}$ -thick p type (100) silicon wafer 101 ( $\rho=0.01 \Omega\cdot\text{cm}$ ) is subjected to anodization in an HF aqueous solution under conditions of Table 3. Thus, the wafer 101 is made porous to form the porous silicon layer 102.

[0049]

[Table 3]

Applied voltage	2.6 V
Current density	30 $\text{mA}/\text{cm}^2$
Anodization solution	HF: $\text{H}_2\text{O}$ : $\text{C}_2\text{H}_5\text{OH}$ = 1:1:1
Time	2 min
Porous layer thickness	5 $\mu\text{m}$

[0050] The metal substrate 103 is formed by depositing Mo on an SUS substrate into the thickness of 500 Å through vacuum evaporation. Then, the amorphous silicon layer 104 is deposited into 0.2  $\mu\text{m}$  on the surface thereof using an ordinary LPCVD apparatus. Deposition conditions are shown in Table 4.

[0051]

[Table 4]

Gas flow rate (ccm)	Substrate temperature (°C)	Pressure (Torr)	Growth rate (nm/min)
$\text{SiH}_4$ 50	550	0.3	1.8

[0052] Next, the surface of the porous silicon 102 and the surface of the amorphous silicon 104 are superposed and brought into contact, and then heat treatment is carried out at 500°C for 30 minutes to improve adhesion between the wafer and the SUS substrate.

[0053] Subsequently, another heat treatment is carried out at 600°C for 8 hours for promoting the solid-phase epitaxial growth of the amorphous silicon layer 104 with the porous silicon layer 102 used as seed crystal to completely turn the

amorphous silicon layer into single crystal.

[0054] After that, the bonded substrate is immersed into a mixture (10:6:50) of 49% hydrofluoric acid, 100% ethyl alcohol, and 30% hydrogen peroxide solution for selective etching. The porous silicon layer is completely removed to separate the wafer 101 side from the SUS substrate 103 side, then the SUS substrate is washed with water and dried.

[0055] In this way, the 0.1  $\mu\text{m}$ -thick single crystalline silicon layer 106 is formed on the metal substrate 103. The observation of the surface with optical microscope and scanning electron microscope reveals that the single crystalline silicon layer is not affected by the selective etching of the porous silicon.

[0056] Further, the observation of the section with the transmission electron microscope confirms that the silicon layer maintains satisfactory crystallinity, and a  $\text{MoSi}_2$  layer 105 is formed at an interface between the substrate 103 and the silicon layer 106.

[0057] Example 2

As in Example 1, the semiconductor substrate having a metal/single crystalline silicon two-layer structure is manufactured through the process shown in Fig. 1. The 500  $\mu\text{m}$ -thick n type (100) silicon wafer 101 ( $\rho=0.01 \Omega\cdot\text{cm}$ ) is subjected to anodization in an HF aqueous solution under conditions of Table 2. Thus, the porous silicon layer 102 is formed on the wafer 101.

[0059] Ti is deposited into the thickness of 500  $\text{\AA}$  through vacuum evaporation on the SUS substrate 103, and then the amorphous silicon layer 104 is deposited into 0.2  $\mu\text{m}$  under conditions of Table 4 on the surface thereof using an ordinary LPCVD apparatus.

[0060] Next, the surface of the porous silicon 102 and the surface of the amorphous silicon 104 are superposed and brought into contact, and then heat treatment is carried out at 500°C for 30 minutes to improve adhesion between the wafer 101 and the SUS substrate 103.

[0061] Subsequently, heat treatment is carried out at 650°C for 6 hours for promoting the solid-phase epitaxial growth of the amorphous silicon layer 104 with the porous silicon layer 102 used as seed crystal to completely turn the amorphous silicon layer into single crystal.

[0062] After that, the bonded substrate is immersed into a mixture (10:6:50) of 49% hydrofluoric acid, 100% ethyl alcohol, and 30% hydrogen peroxide solution for selective etching. The porous silicon layer 102 is completely removed to separate the wafer 101 side from the SUS substrate 103 side, and then the SUS substrate is washed with water and dried.

[0063] In this way, a 0.1  $\mu\text{m}$ -thick single crystalline silicon layer 107 is formed on the metal substrate 103. The observation of the surface with optical microscope and scanning electron microscope reveals that the single crystalline silicon layer is not affected by the selective etching of the porous silicon.

[0064] Further, the observation of the section with the transmission electron microscope confirms that the silicon layer 106 maintains satisfactory crystallinity, and the  $\text{TiSi}_2$  layer 105 is formed at an interface between the substrate and the silicon layer.

[0065] Example 3

As in Examples 1 and 2, the semiconductor substrate

having a metal/single crystalline silicon two-layer structure is manufactured through the process shown in Fig. 1.  
 [0066] The 500  $\mu\text{m}$ -thick p type (100) silicon wafer 103 ( $\rho = 0.01 \Omega\cdot\text{cm}$ ) is subjected to anodization in an HF aqueous solution under conditions of Table 2. Thus, the porous silicon layer 102 is formed on the wafer.  
 [0067] Mo is deposited into the thickness of 500 Å through vacuum evaporation on the SUS substrate 103, and then the amorphous silicon layer 104 is deposited into 0.2  $\mu\text{m}$  under conditions of Table 5 on the surface thereof using a plasma CVD apparatus.

[0068]

[Table 5]

Gas flow rate (cc/mm)	Substrate temperature (°C)	Pressure (Torr)	Discharge power (W)
SiH <sub>4</sub> * 10	450	0.3	5

\* PH<sub>3</sub> added: PH<sub>3</sub>/SiH<sub>4</sub> =  $3 \times 10^{-4}$

[0069] Next, the porous silicon 102 surface and the amorphous silicon 104 surface are superposed and brought into contact, and then heat treatment is carried out at 500°C for 30 minutes to improve adhesion between the wafer 102 and the SUS substrate 103.

[0070] Subsequently, another heat treatment is carried out at 1200°C for 30 seconds for promoting the solid-phase epitaxial growth of the amorphous silicon layer 104 with the porous silicon layer 102 used as seed crystal through an RTA (Rapid Thermal Annealing) method to completely turn the amorphous silicon layer 104 into single crystal.

[0071] After that, the bonded substrate is immersed into a mixture (10:6:50) of 49% hydrofluoric acid, 100% ethyl alcohol, and 30% hydrogen peroxide solution for selective etching. The porous silicon layer 102 is completely removed to separate the wafer 101 side from the SUS substrate 103 side, and then the SUS substrate 103 is washed with water and dried.

[0072] In this way, the 0.1  $\mu\text{m}$ -thick single crystalline silicon layer is formed on the metal substrate. The observation of the surface with optical microscope and scanning electron microscope reveals that the single crystalline silicon layer is not affected by the selective etching of the porous silicon.

[0073] Further, the observation of the section with the transmission electron microscope confirms that the silicon layer maintains satisfactory crystallinity, and the MoSi<sub>2</sub> layer 105 is formed at an interface between the substrate and the silicon layer.

[0074] Example 4

As in Examples 1 and 2, the semiconductor substrate having a metal/single crystalline silicon two-layer structure is manufactured through the process shown in Fig. 1, and crystal is formed through epitaxial growth thereon to manufacture a solar cell.

[0075] The 500  $\mu\text{m}$ -thick n type (100) silicon wafer 101 ( $\rho = 0.01 \Omega\cdot\text{cm}$ ) is subjected to anodization in a HF aqueous solution under conditions of Table 2. Thus, the porous silicon layer 102 is formed by making the wafer 101 porous.

[0076] Ti is deposited into the thickness of 500 Å through vacuum evaporation on the SUS substrate 103, and then the

amorphous silicon layer 104 is deposited into 0.2  $\mu\text{m}$  on the surface thereof through vacuum evaporation using an n type polysilicon with  $\rho = 0.001 \Omega\cdot\text{cm}$  as an evaporation source.

[0077] Next, the surface of the porous silicon 102 and the surface of the amorphous silicon 104 are superposed and brought into contact, and then heat treatment is carried out at 500°C for 30 minutes to improve adhesion between the wafer 102 and the SUS substrate 103.

[0078] Subsequently, another heat treatment is carried out at 650°C for 6 hours for promoting the solid-phase epitaxial growth of the amorphous silicon layer 104 with the porous silicon layer 102 used as seed crystal to completely turn the amorphous silicon layer 104 into single crystal.

[0079] After that, the bonded substrate is immersed into a mixture (10:6:50) of 49% hydrofluoric acid, 100% ethyl alcohol, and 30% hydrogen peroxide solution for selective etching. The porous silicon layer 102 is completely removed to separate the wafer 101 side from the SUS substrate 103 side, and then the SUS substrate is washed with water and dried.

[0080] A LPCVD apparatus is used for epitaxial growth under the formation conditions shown in Table 6 to thereby form the silicon 107 with the film thickness of about 50  $\mu\text{m}$ .

[0081]

[Table 6]

Gas flow rate ( $\ell/\text{min}$ )	Substrate temperature (°C)	Pressure (Torr)	Growth time (min)
$\text{SiH}_2\text{Cl}_2/\text{H}_2$ * =0.5/80	950	80	160

\*  $\text{PH}_3$  added:  $\text{PH}_3/\text{SiH}_2\text{Cl}_2 = 3 \times 10^{-6}$

[0082] Next, B is thermally diffused at the temperature of 950°C with  $\text{BCl}_3$  used as a diffusion source to form a p+ layer on the surface of the epitaxial layer 107 to obtain a junction depth of about 0.5  $\mu\text{m}$ . A dead layer on the surface of the formed p+ layer is subjected to wet oxidation, and then the junction depth of about 0.2  $\mu\text{m}$  with an appropriate surface concentration is obtained through etching.

[0075] Finally, an ITO transparent conductive film (820 Å)/collecting electrode (Cr/Ag/Cr (200 Å /1  $\mu\text{m}$ /400 Å)) are formed on the p+ layer through EB (Electron Beam) evaporation.

[0076] A measurement is made of the I-V characteristic of the thin-film crystalline solar cell thus obtained under the illumination with light at AM1.5 (100  $\text{mW}/\text{cm}^2$ ). The measurement result is as follows: an open-circuit voltage is 0.59 V, a short-circuit photocurrent is 31  $\text{mA}/\text{cm}^2$ , a fill factor is 0.74, and conversion efficiency is 13.5%. In this way, the solid-phase growth is promoted with the porous silicon as seed crystal, and the epitaxial layer is further formed on the solid-phase growth layer, whereby the thin-film crystalline solar cell having satisfactory crystallinity can be manufactured.

[0085] Example 5

The thin crystalline solar cell is manufactured as described in Example 4.

[0086] The 500  $\mu\text{m}$ -thick p type (100) silicon wafer 101 ( $\rho = 0.01 \Omega\cdot\text{cm}$ ) is subjected to anodization in a HF aqueous solution under conditions of Table 2. Thus, the porous silicon layer 102 is formed on the wafer.

[0087] Mo is deposited into the thickness of 500 Å through

vacuum evaporation on the SUS substrate 103, and then the amorphous silicon layer 104 is deposited into 0.2  $\mu\text{m}$  thickness on the surface thereof through vacuum evaporation using an n-type polysilicon with  $\rho = 0.001 \Omega\cdot\text{cm}$  as an evaporation source. [0088] Next, the surface of the porous silicon 102 and the surface of amorphous silicon 104 are superposed and are brought into contact, and then heat treatment at 500°C for 30 minutes to improve adhesion between the wafer 102 and the SUS substrate 103.

[0089] Subsequently, another heat treatment is carried out at 600°C for 8 hours for promoting the solid-phase epitaxial growth of the amorphous silicon layer 104 with the porous silicon layer 102 used as seed crystal to completely turn the amorphous silicon layer 104 into single crystal.

[0090] After that, the bonded substrate is immersed into a mixture (10:6:50) of 49% hydrofluoric acid, 100% ethyl alcohol, and 30% hydrogen peroxide solution for selective etching. The porous silicon layer 102 is completely removed to separate the wafer 101 side from the SUS substrate 103 side, and then the SUS substrate is washed with water and dried.

[0091] A LPCVD apparatus is used for epitaxial growth under the formation conditions shown in Table 7 to thereby form the silicon layer 107 with the film thickness of about 50  $\mu\text{m}$ .

[0092]

[Table 7]

Gas flow rate ( $\ell/\text{min}$ )	Substrate temperature (°C)	Pressure (Torr)	Growth time (min)
$\text{SiH}_2\text{Cl}_2/\text{H}_2$ * =0.5/80	950	80	160

\*  $\text{B}_2\text{H}_6$  added:  $\text{B}_2\text{H}_6/\text{SiH}_2\text{Cl}_2 = 2 \times 10^{-6}$

PSG is deposited into 6000 Å using an atmospheric pressure CVD, and P is thermally diffused at the temperature of 950°C with PSG used as a diffusion source to form an n+ layer with the thickness of 0.1  $\mu\text{m}$ . Subsequently, PSG is removed through etching, and then an ITO transparent conductive film (820 Å)/collecting electrode (Cr/Ag/Cr (200 Å /1  $\mu\text{m}$ /400 Å)) are formed on the n+ layer.

[0093] A measurement is made of the I-V characteristic of the thin film crystalline solar cell thus obtained under the illumination with light at AM1.5 (100  $\text{mW}/\text{cm}^2$ ). The measurement result is as follows: an open-circuit voltage is 0.58 V, a short-circuit photocurrent is 30  $\text{mA}/\text{cm}^2$ , a fill factor is 0.77, and conversion efficiency is 13.4%.

[0094] Example 6

The p- $\mu\text{e}$ -Si/crystalline silicon hetero solar cell is manufactured as in the case with Examples 4 and 5.

[0095] The substrate manufactured in Example 3 is used to form a silicon layer with the thickness of about 50  $\mu\text{m}$  through the epitaxial growth under the formation conditions of Table 6 using the LPCVD apparatus.

[0096] On the epitaxial layer, p type  $\mu\text{e}$ -Si is deposited into the thickness of 200 Å using an ordinary plasma CVD apparatus under conditions of Table 8. At this time, a dark conductivity of the  $\mu\text{e}$ -Si is  $10\text{S}\cdot\text{cm}^{-1}$ .

[0097]

[Table 8]

Gas flow rate	Substrate temperature	Pressure	Discharge power
---------------	--------------------------	----------	--------------------

SiH <sub>4</sub> /H <sub>2</sub> = 1 cc/20 cc B <sub>2</sub> H <sub>6</sub> /SiH <sub>4</sub> = 2.0×10 <sup>-3</sup>	250°C	0.5 Torr	20 W
---	-------	----------	------

[0098] In this way, the hetero pn junction is formed, and then ITO is deposited into about 850 Å as a transparent conductive film thereon through electron beam evaporation. Further, a collecting electrode (200 Å/1 μm/400 Å) is formed thereon.

[0099] A measurement is made of the I-V characteristic of the p+ μe-Si/crystalline silicon hetero solar cell thus obtained under the illumination with light at AM1.5. The measurement result is as follows: an open-circuit voltage is 0.62 V, a short-circuit photocurrent is 32 mA/cm<sup>2</sup>, a fill factor is 0.7, and conversion efficiency is as high as 13.9%. As mentioned above, according to the present invention, a high-quality silicon layer can be formed on a metal substrate, whereby a high-quality and inexpensive solar cell can be manufactured.

[0100] As has been described above, according to the present invention, the thin film crystalline solar cell having a satisfactory characteristic can be formed on a metal substrate. Hence, mass-productive inexpensive and high-quality thin solar cells can be supplied into the market.

[Brief Description of the Drawings]

[Fig. 1] A schematic diagram illustrating a manufacturing process for a semiconductor substrate according to the present invention.

[Fig. 2] A graph showing a time-varying thickness of porous silicon and single crystalline silicon etched with a selective etchant.

[Description of Reference Numerals]

- 101 silicon wafer
- 102 porous silicon layer
- 103 metal substrate
- 104 non-single crystalline silicon layer
- 105 silicide layer
- 106 solid-phase epitaxial layer
- 107 epitaxial silicon layer

Fig. 1

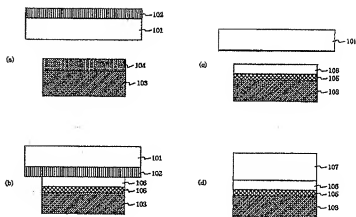


Fig. 2

